

MIS-TYPE FIELD EFFECT TRANSISTOR

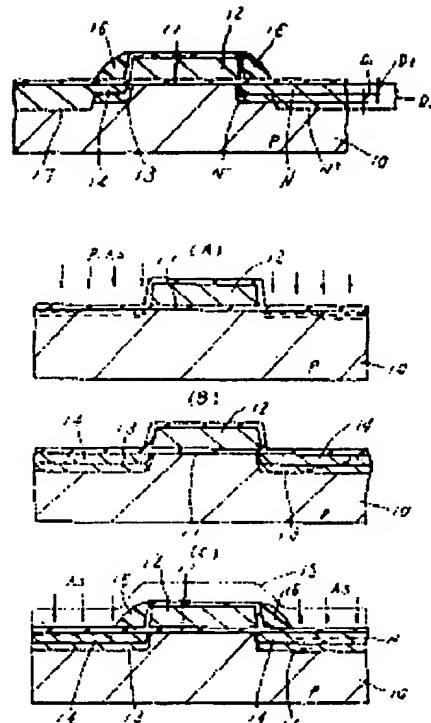
Patent number: JP60234367
Publication date: 1985-11-21
Inventor: KOMORI KAZUHIRO; OKUYAMA KOUSUKE; SUZUKI NORIO; KATSUTOU HISAO
Applicant: HITACHI LTD
Classification:
 - international: H01L27/08
 - european: H01L29/78; H01L29/78F4
Application number: JP19840089415 19840507
Priority number(s): JP19840089415 19840507

[Report a data error here](#)

Abstract of JP60234367

PURPOSE: To improve the withstand voltage feature of an LDD structure as a whole and to reduce resistance by using a layer of relatively high concentration by a method wherein the impurity-doped region in the off-set section of an off-set structure MISFET consists of two layers, one relatively high in concentration and shallow in depth and the other low in concentration and less shallow in depth.

CONSTITUTION: A gate insulating film 11 is formed on the surface of a p type Si substrate 10, whereupon a gate electrode 12 composed of metal or polycrystalline Si is patterned. First, p ions low in concentration are implanted and, second, As ions relatively high in concentration are implanted. Their activation results in the creation of a two-layer structure of a rather deep low-concentration ($n<->$) layer 13 and a shallow high-concentration (n) layer 14. An SiO₂ film 15 is formed on the entire surface and is subjected to etching, which results in the formation of side walls 16 on both sides of the gate electrode 12. As ions high in concentration are implanted. Their activation results in the formation of a high-concentration ($n<+>$) source-drain region 17 of the off-set structure.



Data supplied from the esp@cenet database - Worldwide

⑯ 公開特許公報 (A) 昭60-234367

⑯ Int.Cl.⁴
H 01 L 29/78
27/08識別記号
102府内整理番号
8422-5F
6655-5F⑯ 公開 昭和60年(1985)11月21日
審査請求 未請求 発明の数 1 (全 5 頁)

⑯ 発明の名称 MIS型電界効果トランジスタ

⑯ 特願 昭59-89415

⑯ 出願 昭59(1984)5月7日

⑯ 発明者 小森 和宏	小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑯ 発明者 奥山 幸祐	小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑯ 発明者 鈴木 範夫	小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑯ 発明者 甲藤 久郎	小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑯ 出願人 株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地
⑯ 代理人 弁理士 高橋 明夫	外1名

明細書

発明の名称 MIS型電界効果トランジスタ

特許請求の範囲

1. ゲート電極に対してソース・ドレイン領域のうち少なくともいずれか一方の領域をオフセット配置すると共に、オフセット領域を比較的深い低濃度層と、浅くかつ比較的高濃度の層とで2層構造に構成したことを特徴とするMIS型電界効果トランジスタ。

2. ドレイン領域のみをオフセットに構成し、このオフセット領域を2層構造にしてなる特許請求の範囲第1項記載のMIS型電界効果トランジスタ。

3. りん等の拡散速度の大きい不純物を低濃度層として用い、これよりも拡散速度の小さなひ素等の不純物を比較的に高濃度な層およびソース・ドレイン領域に用いてなる特許請求の範囲第1項又は第2項記載のMIS型電界効果トランジスタ。

発明の詳細な説明

〔技術分野〕

本発明は内部抵抗の低減と耐圧の向上を図ったオフセット構造のMIS型電界効果トランジスタ(MISFET)に関するものである。

〔背景技術〕

MISFETのドレイン耐圧を向上するため、ゲート電極とドレイン領域との間にオフセット領域を設けたLDD(Lightly Doped Drain)構造と称するオフセット構造のMISFETが提案されている(IEEE TRANSACTION ON ELECTRON DEVICES, VOL. ED 29, pp 590-595, APRIL 1982)。例えば、第1図に示すように、半導体基板1の主面上にゲート絶縁膜2を介してゲート電極3をバーニング形成した上で不純物を低濃度にイオン打込みし、その後ゲート電極3の側部にサイドウォール4を形成して今度は高濃度に不純物をイオン打込みすることにより、低濃度のオフセット部5を介して高濃度のソース・ドレイン領域6を配置したLDD構造のMISFET7を完成できる。

このLDD構造によれば、低濃度に形成したオフセット部5の作用によりドレイン領域6とゲート電極3との間の境界を緩和してドレイン耐圧の向上を図る一方で、チャネルをドレイン領域6に接続してMISFETの動作を保障することになる。

しかしながら、このLDD構造について本発明者が検討を加えたところ、オフセット部5の濃度が高くなると耐圧が低下されることになり、逆に濃度を低くするとオフセット部5の抵抗が増大してMISFETの相互コンダクタンス(gm)が低下され、両特性を共に満足させるためにはオフセット部の濃度の設定が極めて難かしいものになることが明らかになった。

一方、LDD構造はオフセット部5を設けるためにMISFETの全長が大きくなり、素子の微細化に不利となる。特に、半導体装置(LSI等)において耐圧が問題となる素子数は全体の一部であるのに拘らず全素子をLDD構造にすることは高集積化の障害になり、かつ他の素子の gm 向上

の支障となる。このようなことから、一部の素子のみをLDD構造とし、他の素子(耐圧に問題の生じない素子)は通常のMIS構造にすることも考えられているが、ソース・ドレイン領域の形成に際して両素子を別個の工程で形成するのでは工程数をいたずらに増大して製造工率が低下する一方、両素子を同時に形成するのでは不純物濃度が両者間で調整し難く、所望の特性を得ることが難かしい。

〔発明の目的〕

本発明の目的はドレイン耐圧を向上する一方で内部抵抗を低減して相互コンダクタンスの向上を図り、かつLDD構造以外のMISFETとの製造マッチングを可能にして半導体装置の微細化および高集積化を達成することのできるMIS型電界効果トランジスタを提供することにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、オフセット構造のMISFETのオフセット部に形成する不純物領域を比較的高濃度が高くかつ浅く形成した層と、低濃度でかつ若干深く形成した層の2層構造として構成することにより、全体としてLDD構造による耐圧の向上を図ると共に比較的高濃度の層により抵抗の低減を図って gm の低下を防止し、かつ両層の不純物濃度の自由度が増大できることから他の素子とのマッチングを容易に行なうことができ、実質的に高集積の半導体装置の製造を可能にするものである。

〔実施例〕

第2図は本発明のMISFETの基本構成図であり、第3図(A)～(C)はその製造工程図である。即ち、第3図(A)のように、例えばP型シリコン基板10の表面にゲート絶縁膜11を形成し、その上にメタル又はポリシリコンのゲート電極12をバ

ターニング形成する。そして、先ずP(りん)をセルフライ法により低濃度にイオン打込みし、次いでAs(ひ素)を同様な方法により比較的高い濃度にイオン打込みする。そして、これを活性化すれば、PとAsの拡散速度の違いにより同図(B)のように若干深い低濃度(N^-)層13と、浅くて比較的高濃度(N)14の層とからなる2層構造が形成できる。次いで、全面にCVD法等により SiO_2 膜15を形成しつつこれをRIEエッティング処理することにより同図(C)のようにゲート電極の両側にサイドウォール16を形成する。その上で、Asを今度は高濃度にイオン打込みしつつこれを活性化することにより、第2図に示すようにオフセット構造の高濃度(N^+)のソース・ドレイン領域17を形成でき、先のオフセット領域の2層13、14とでLDD構造を構成する。因みに、低濃度層13のPのドーズ量は $5 \times 10^{12} \sim 1 \times 10^{13} / cm^2$ 、比較的高濃度層14のAsのドーズ量は $5 \times 10^{12} \sim 2 \times 10^{13} / cm^2$ 、ソース・ドレイン領域17のAsのドーズ量は1

$\times 10^{10} / \text{cm}^2$ としている。また、各層 13, 14 および領域 17 の深さ（第 2 図 D₁, D₂, D₃）は夫々 0.1 μm, 0.15 ~ 0.2 μm, 0.3 μm 程度である。

したがって、この基本構成の LDD 構造の MISFET によれば、ゲート電極 12 に対してソース・ドレイン領域 17 はオフセットされており、かつそのオフセット領域の基板下側に向けて低濃度層 13 が形成されているので、ゲート、ドレイン間の電界の緩和を図り耐圧の向上が達成できる。一方、オフセット領域の基板表面側には比較的に高い濃度層 14 が形成されているのでこの領域における抵抗の増大を抑止し、相互コンダクタンス (gm) の低下を防止することができる。これにより、相反する耐圧と gm の問題を一挙に解消することができる。

第 4 図および第 5 図は本発明を EP-ROM に適用した実施例であり、例えば EPROM のメモリセル 21 に X 又は Y 選択用の低耐圧 MOSFET 22, 22 … と高耐圧 MOSFET 23 を接続

した回路構成とし、これを同一プロセスで製造する例である。即ち、メモリセル 21 としてフローティングゲート型 MOS 構造を、低耐圧用 22 には一般的な MOS 構造を、高耐圧用 23 には LDD 構造を夫々採用し、特に数の多いメモリセル 21 や低耐圧 MOSFET 22 の微細化による高集積化を図っている。

先ず、第 5 図(A)のようにメモリセル 21、低耐圧 MOSFET 22、高耐圧 MOSFET 23 いずれも P 型シリコン基板 24 上にゲート絶縁膜 25 を形成し、その上にポリシリコン膜をバーニングしてゲート電極 26, 27 とフローティングゲート 28 を形成する。表面を酸化して SiO₂ 膜 29 を形成後、セルファライン法により P と As を焼いてイオン打込みする。P のドーズ量は $5 \times 10^{13} / \text{cm}^2$ 、As のドーズ量は $5 \times 10^{12} \sim 1 \times 10^{13} / \text{cm}^2$ である。次にこれを活性化して低濃度層 31 と比較的高濃度層 32 を形成した後に、同図(B)のように全面にポリシリコン膜を形成しつつバーニングすることによりメモリセル

21 のフローティングゲート 28 上にのみコントロールゲート 30 を形成する。そして、表面酸化後に同図(C)のようにフォトレジスト膜をバーニングして高耐圧 MOSFET 23 のゲート電極 26 のドレイン側の部分にのみフォトレジストマスク 33 を形成し、かかる上で全面に As を高濃度にイオン打込みする。As のドーズ量は $1 \times 10^{10} / \text{cm}^2$ である。そして、これを活性化すれば、同図(D)のように、夫々ソース・ドレイン領域 34, 35, 36 が形成できる。この場合、高耐圧 MOSFET 23 のドレイン領域 34a とゲート電極 26 とはオフセットされ、オフセット領域に形成された低濃度層 31 と比較的高濃度層 32 とで 2 層の LDD 構造とされている。また、メモリセル 21 と低耐圧 MOSFET 22 のソース・ドレイン領域 36, 35 は前述の比較的高濃度層 32 を吸収した非オフセット構造であるが、P と As の拡散の相違により夫々 P 層、As 層 31, 36 と 31, 35 の 2 層構造とされる。このため、必要なチャネル長 L_{eff} を得るために ΔL (P

層の長さ)だけゲート長 L_g を大きくしなければならないが、P のドーズ量を例えば前述のように設定すれば ΔL を最小限に抑えた状態で高耐圧 MOSFET 23 に必要なソース・ドレイン領域（特にドレイン領域 34a とオフセット領域の各層 31, 32）の不純物濃度を得ることができ、全ての MOSFET のマッチングをとることができる。

本実施例によれば、メモリセル 21、低耐圧 MOSFET 22、高耐圧 MOSFET 23 を夫々同一の不純物イオン打込み、拡散工程で形成でき、しかも高耐圧 MOSFET 23 はオフセット領域を 2 層構造の LDD 構造とする一方、メモリセル 21、低耐圧 MOSFET 22 においては非オフセット構造で各素子の長さを必要最小限の長さに形成でき、かつ全ての素子において所要の不純物濃度を確保することができる。勿論、高耐圧 MOSFET 23 にあっては、前例と同様に耐圧の向上を図る一方で相互コンダクタンスの低下を防止することができるるのである。

〔効 果〕

(1) オフセット構造のMISFETのオフセット領域を比較的深い低濃度層と、浅くかつ比較的に高濃度の層とで2層構造に構成しているので、低濃度層の作用によって耐圧の向上を図る一方で、比較的高濃度層の作用によって低抵抗化を図り相互コンダクタンスの低下を防止でき、相反する問題を一挙に解決することができる。

(2) オフセット領域を2層構造としているので、不純物濃度、特に低濃度層の濃度に自由度が生じ、通常のMISFETとのマッチングがとれて同一工程での製造が可能となり、製造効率の向上が達成できる。

(3) オフセット構造と非オフセット構造の各MOSFETを同一工程でかつ良好なマッチングで形成できるので、耐圧を必要としないMOSFETを全て非オフセット構造にして素子の微細化を図り、高集積化を達成できる。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施

例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、不純物のドーズ量や各層の深さ寸法等は要求される特性に応じて適宜変更できる。また、オフセット構造の製造プロセスも従来利用されている方法をそのまま利用することができる。

〔利用分野〕

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるEPROMに適用した場合について説明したが、それに限定されるものではなく、高耐圧MISFETと低耐圧MISFETが存在している半導体装置の全てに適用することができる。

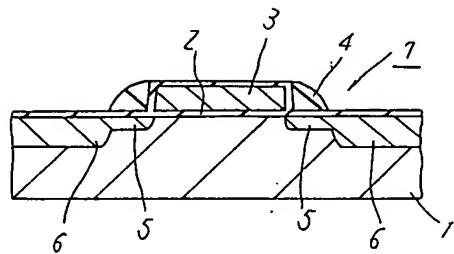
図面の簡単な説明

第1図はLDD構造を説明する断面図、
第2図は本発明の基本構造の断面図、
第3図(A)～(D)はその製造方法を示す断面工程図、
第4図は一実施例の回路の一部を示す図、
第5図(A)～(D)はその製造工程および完成状態を示すための断面工程図である。

10…シリコン基板、11…ゲート絶縁膜、
12…ゲート電極、13…低濃度層、14…比較的高濃度層、16…サイドウォール、17…ソース・ドレイン領域、21…メモリセル(FAMOS)、22…低耐圧MOSFET、23…高耐圧MOSFET、24…P型シリコン基板、25…ゲート絶縁膜、26, 27…ゲート電極、28…フローティングゲート、29…SiO₂膜、30…コントロールゲート、31…低濃度層、32…比較的高濃度層、33…フォトレジスト膜、34, 35, 36…ソース・ドレイン領域、34a…ドレイン領域。

代理人弁理士 高橋 明夫

第1図



第2図

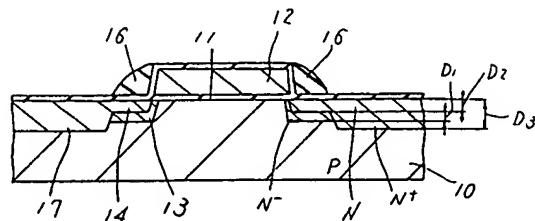


圖 5

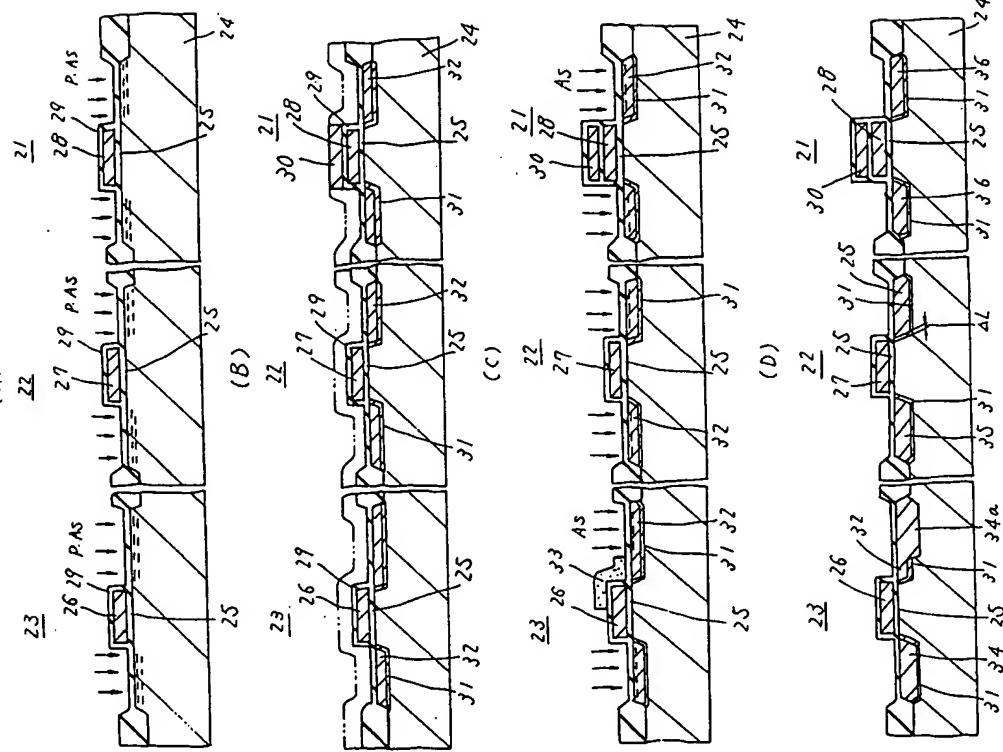


圖 3 第

